

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067620

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/027

H01L 27/04

H01L 21/822

(21)Application number : 09-214850

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.08.1997

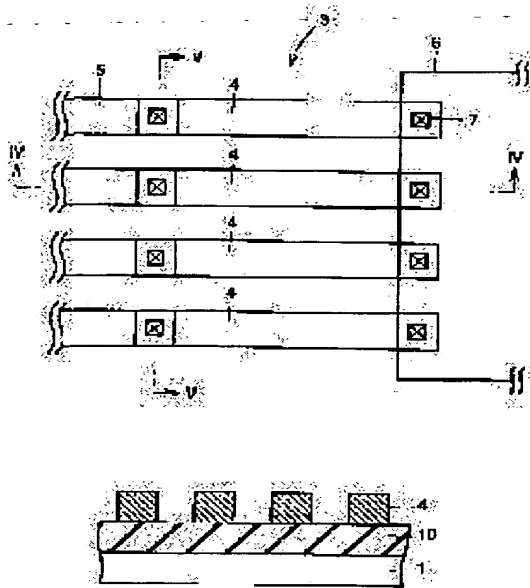
(72)Inventor : MORIHARA TOSHINORI

(54) SEMICONDUCTOR DEVICE WITH ALIGNMENT MARKS

(57)Abstract:

PROBLEM TO BE SOLVED: To improve accuracy in overlay by providing multiple conductive layer parts which extend at a constant spacing and are in parallel to each other on a semiconductor substrate and by forming multiple alignment marks on the conductive layer parts.

SOLUTION: A LOCOS oxide film 10 is formed on a silicon substrate 1. A layer of doped polysilicon is formed on the LOCOS oxide film 10 and is coated with resist. The resist is subjected to patterning into a specified form according to a photolithography process. Etching is performed in accordance with the pattern to form four conductive layers 4 as alignment marks 3 which extend at a constant space to each other and in parallel in one direction. An insulating layer is formed for covering the conductive layers 4. Traces 5 of approximately the same width as the conductive layers 4 and traces 6 of larger width than the conductive layers 4 are provided. The traces 5 and 6 are respectively connected to the conductive layers 4 through plugs.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 6 7 6 2 0

(43) 公開日 平成 11 年 (1999) 3 月 9 日

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 21/027

H 0 1 L 21/30 5 0 2 M

27/04

27/04 C

21/822

審査請求 未請求 請求項の数 7

OL

(全 1 5 頁)

(21) 出願番号 特願平 9 - 214850

(71) 出願人 000006013

三菱電機株式会社

(22) 出願日 平成 9 年 (1997) 8 月 8 日

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 森原 敏則

東京都千代田区丸の内二丁目 2 番 3 号 三菱
電機株式会社内

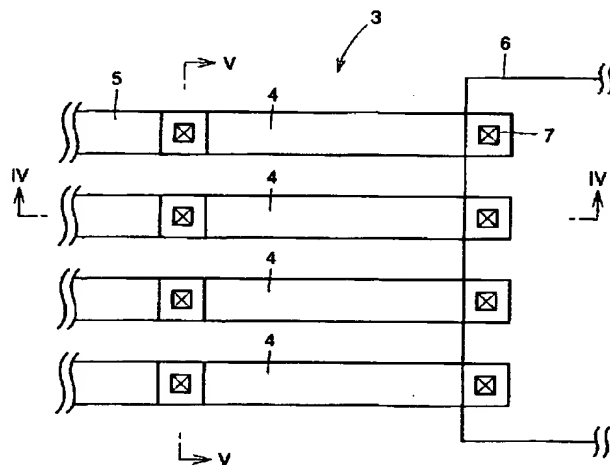
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 アライメントマークを有する半導体装置

(57) 【要約】

【課題】 重ね合せ精度が高く、かつチップ面積が増加しないアライメントマークを有する半導体装置を提供する。

【解決手段】 半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有する半導体装置であって、シリコン基板 1 と、シリコン基板 1 の上に一定の距離を隔てて互いに平行に並んで延びる複数の導電層 4 とを備え、導電層 4 は複数のアライメントマークを含む。



【特許請求の範囲】

【請求項 1】 半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有する半導体装置であって、

半導体基板と、

前記半導体基板の上に一定の距離を隔てて互いに平行に並んで延びる複数の導電層部分とを備え、

前記導電層部分は、複数個の前記アライメントマークを含む、アライメントマークを有する半導体装置。

【請求項 2】 前記導電層部分は、相対的に幅の広い第 1 部分と、相対的に幅の狭い第 2 部分とを含む、請求項 1 に記載のアライメントマークを有する半導体装置。

【請求項 3】 前記複数の導電層部分の端部は互いに接続される、請求項 1 または 2 に記載のアライメントマークを有する半導体装置。

【請求項 4】 半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有する半導体装置であって、

半導体基板と、

前記半導体基板の上に形成されたキャパシタとを備え、前記キャパシタは、下部電極層と、前記下部電極層の上に形成された誘電体層と、前記誘電体層の上に形成された上部電極層とを含み、

前記下部電極層は、複数個の前記アライメントマークを含む、アライメントマークを有する半導体装置。

【請求項 5】 半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有する半導体装置であって、

半導体基板と、

前記半導体基板の上に一定の距離を隔てて互いに平行に並んで延びる複数の下部導電層部分と、

前記下部導電層部分の上に一定の距離を隔てて互いに平行に並んで延びる複数の上部導電層部分とを備え、

前記上部導電層部分と前記下部導電層部分は複数個の前記アライメントマークを含む、アライメントマークを有する半導体装置。

【請求項 6】 前記上部導電層の幅は、前記下部導電層の幅よりも広い、請求項 5 に記載のアライメントマークを有する半導体装置。

【請求項 7】 アライメントマーク検出光の波長 λ と、その入射角 θ と、前記フォトリソグラフィ工程で用いる露光光の波長 λ_0 と、前記複数のアライメントマークのピッチ A との間には

【数 1】

$$2\lambda_1 \leq A = \sqrt{\frac{n\lambda_0}{1 - \cos^2 \theta}} \quad (n: \text{自然数})$$

で示す関係が成り立つ、請求項 1 ～ 6 のいずれか 1 項に記載のアライメントマークを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、アライメントマークを有する半導体装置に関し、特に、チップ領域に形成されるアライメントマークを有する半導体装置に関するものである。

【0002】

10 【従来の技術】 近年の半導体装置の高集積化に伴い、半導体装置を製造する際には、半導体基板をいくつかのショット領域に分割し、この領域ごとにパターンを転写する露光方法が採用されている。この方法で半導体基板上のパターンとフォトマスク上のパターンとの位置を高い精度で重ね合わせるためには、半導体基板上に形成されるアライメントマークの位置を正確に認識する必要がある。重ね合せ精度が $0.2 \mu\text{m}$ 以下であればダイシングライン上にアライメントマークを配置することで所定の精度を得ることができたが、重ね合せ精度を $0.1 \mu\text{m}$ 以下にするためには、半導体素子が形成されるショットの中央部、すなわちチップ領域にアライメントマークを配置する必要がある。以下、このような従来のアライメントマークの構造について説明する。

【0003】 図 4 6 は従来の半導体基板を示す平面図、図 4 7 は、図 4 6 中のショット領域を拡大して示す平面図、図 4 8 は図 4 7 中のアライメントマークを拡大して示す平面図である。これらの図を参照して、シリコン基板 200 上には、1 度の露光により露光されるショット領域 201 が複数個形成される。各ショット領域 201 は、半導体素子が形成されるチップ領域であり、またショット領域 201 内には複数個のアライメントマーク 203 が形成される。1 つのアライメントマーク 203 は Y 軸方向に延びるアライメントマーク 204 a と、X 軸方向に延びるアライメントマーク 204 b により構成される。アライメントマーク 204 a、204 b は、それぞれ、一定間隔をおいて形成された複数個のアライメントパターン 205 a、205 b からなる。

【0004】 図 4 9 は、図 4 8 で示すアライメントパターン 205 a の断面図である。図 4 9 を参照して、アライメントマーク 204 a の位置を検出するには、シリコン基板 200 の上方から矢印 207 で示される光が照射される。この光がアライメントパターン 205 a で回折して矢印 208 で示される回折光が検出される。この回折光により、アライメントマーク 204 a の位置が認識される。この認識された位置をもとにシリコン基板 200 とステップのフォトマスク（図示せず）との位置合せが行なわれ、シリコン基板 200 上に塗布されたレジストにマスクパターンが転写される。

【0005】

50 【発明が解決しようとする課題】 以上に示した従来のア

ライメントマークを用いた重ね合せ方法においては、半導体素子が形成されるチップ領域に半導体素子として機能しないアライメントパターンを形成する必要がある。その結果、チップ領域の面積が大きくなり、さらなる微細化に対応できないという問題があった。

【0006】そこで、この発明は、上述のような問題点を解決するためになされたものであり、重ね合せ精度が高く、かつ、チップ領域の面積が大きくなりすぎないアライメントマークを有する半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明の1つの局面に従った半導体装置は、半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有し、半導体基板と、複数の導電層部分とを備える。複数の導電層部分は、半導体基板の上に一定の距離を隔てて互いに平行に並んで延びる。導電層部分は複数のアライメントマークを含む。

【0008】このように構成されたこの発明のアライメントマークを有する半導体装置においては、半導体素子を構成する導電層部分がアライメントマークを含むため、半導体素子とは別にアライメントマークを設ける必要がない。また、導電層部分はチップ領域に形成されるため、アライメントマークもショットの中央部、すなわちチップ領域に形成される。その結果、重ね合せ精度が高いだけでなくチップ領域の面積が拡大しないアライメントマークを有する半導体装置を提供することができる。

【0009】また、導電層部分は、相対的に幅の広い第1部分と、相対的に幅の狭い第2部分とを含むことが好ましい。この場合、第1部分と第2部分との幅が異なるため、第1部分または第2部分のいずれかをアライメントマークとすることにより、アライメントマークが検出しやすくなる。

【0010】また、複数の導電層部分の端部は互いに接続されていることが好ましい。この場合、さまざまな形状のアライメントマークを提供することができる。

【0011】この発明の別の局面に従った半導体装置は、半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有し、半導体基板と、キャパシタとを備える。キャパシタは、半導体基板の上に形成され、複数の下部電極層と、その下部電極層上に形成された誘電体層と、その誘電体層の上に形成された上部電極層とを含む。下部電極層は複数のアライメントマークを有する。

【0012】このように構成されたアライメントマークを有する半導体装置においては、半導体素子を構成するキャパシタの下部電極層がアライメントマークを含むた

め、半導体素子と別にアライメントマークを設ける必要がない。また、下部電極層はチップ領域に形成されるため、アライメントマークもチップ領域に形成される。その結果、重ね合せ精度が高いだけでなく、チップ領域の面積が拡大しない半導体装置を提供することができる。

【0013】この発明の別の局面に従った半導体装置は、半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有し、半導体基板と、複数の下部導電層部分と、複数の上部導電層部分とを備える。複数の下部導電層部分は、半導体基板の上に一定の距離を隔てて互いに平行に並んで延びる。複数の上部導電層部分は、下部導電層部分の上に一定の距離を隔てて互いに平行に並んで延びるように形成される。上部導電層部分と下部導電層部分は複数のアライメントマークを含む。

【0014】このように構成されたアライメントマークを有する半導体装置においては、半導体素子を構成する上部導電層部分と下部導電層部分は複数のアライメントマークを含むため、半導体素子と別にアライメントマークを設ける必要がない。また、上部および下部導電層部分はチップ領域に形成されるため、アライメントマークもチップ領域に形成される。その結果、重ね合せ精度が高いだけでなく、チップ領域の面積が拡大しないアライメントマークを有する半導体装置を提供することができる。

【0015】また、上部導電層部分の幅は、下部導電層部分の幅よりも広いことが好ましい。この場合、上部導電層部分の位置を検出するために上部導電層部分に光を照射してもこの光が下部導電層部分まで達しないため、下部導電層部分からの反射光を検出することがない。その結果、上部導電層部分の位置を正しく認識することができる。

【0016】また、アライメントマーク検出光の波長 λ と、その入射角 θ と、フォトリソグラフィ工程で用いる露光光の波長 λ_1 と、複数のアライメントマークのピッチAとの間には以下に示す関係が成り立つことが好ましい。

【0017】

【数2】

$$2\lambda_1 \leq A = \sqrt{\frac{n\lambda_0}{1 - \cos^2 \theta}} \quad (n: \text{自然数})$$

【0018】この場合、アライメントマークの位置をさらに正しく認識することができる。

【0019】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照して説明する。

【0020】（実施の形態1）図1は、この発明に従ったシリコン基板の平面図、図2は、シリコン基板に形成

されるショット領域の平面図である。これらの図を参照して、シリコン基板 1 には、ステッパを用いて一度で露光できるショット領域 2 が互いに間隔をあけて形成される。1 つのショット領域 2 が 1 つのチップ領域となる。ショット領域 2 には、下層に位置するアライメントマーク 3 と、上層に位置するアライメントマーク 1 0 3 が形成される。アライメントマーク 3、1 0 3 は、ともに複数個設けられ、そのうちの 1 つは、重ね合せ精度を向上させるため、ショット領域 2 のほぼ中央部に設けられる。

【0 0 2 1】図 3 は、図 2 中のアライメントマーク 3 を示す平面図、図 4 は、図 3 中の I V - I V 線に沿って見た断面を示す図、図 5 は、図 3 中の V - V 線に沿って見た断面を示す図である。図 3 ~ 5 を参照して、シリコン基板 1 に LOCOS 酸化膜 1 0 が形成される。LOCOS 酸化膜 1 0 の上には互いに距離 A (0 . 5 μ m) を隔てて互いに平行に並んで図 3 中の横方向に延びるアライメントマークとしての 4 本の導電層 4 が形成されている。また、図 3 中の縦方向に延びる 4 本の導電層 (図示せず) も形成されている。導電層 4 を覆うようにたとえ

ば TEOS 酸化膜からなる絶縁層 9 が形成される。絶縁層 9 には導電層 4 に達する内径 0 . 5 μ m のスルーホール 7 が形成され、スルーホール 7 を導電性のプラグ 8 が充填する。

【0 0 2 2】絶縁層 9 の表面には導電層 4 の幅とほぼ等しい幅を有する配線 5 と、導電層 4 の幅よりもはるかに大きい幅の配線 6 が設けられる。配線 5、6 は、互いにプラグ 8 を介して導電層 4 と接続される。また、図 2 中のアライメントマーク 1 0 3 においても、図 3 ~ 5 で示すような導電層 4 が形成される。導電層 4 の本数はこれ

に限定されるものではなく複数本あればよい。

【0 0 2 3】次に、図 3 ~ 図 5 で示すアライメントマークを有する半導体装置の製造方法について説明する。図 6 ~ 図 1 5 は、図 3 ~ 図 5 で示すアライメントマークを有する半導体装置の製造方法を示す図である。なお、図 7 は図 6 中の V I I - V I I 線に沿って見た断面を示す図、図 1 2 は、図 1 1 中の X I I - X I I 線に沿って見た断面図を示す図である。

【0 0 2 4】図 6 および図 7 を参照して、シリコン基板 1 上に LOCOS 法を用いて LOCOS 酸化膜 1 0 を形成する。次に、LOCOS 酸化膜 1 0 上にドーフトポリシリコンからなる層を形成し、この層の上にレジストを塗布する。レジストをフォトリソグラフィ工程に従い、所定の形状にパターニングして、このパターンに従ってエッチングすることにより、互いに距離を隔てて一方

次に、シリコン基板 1 に矢印 1 3 で示す波長 λ_1 (2 4

5 nm) の光を照射する。導電層 4 で反射して回折して強めあった光を認識することにより、導電層 4 の位置が認識される。

【0 0 2 6】図 9 を参照して、認識された導電層 4 の位置のデータに基づいて、ステッパのフォトマスク 1 2 0 に対して所定の位置となるようにシリコン基板 1 が位置決めされる。波長が λ_1 (8 0 0 nm) の矢印 1 2 1 で示す光がレジスト 1 2 の照射領域 1 2 a に照射される。

【0 0 2 7】図 1 0 を参照して、レジスト 1 2 を現像することにより、スルーホール用のホールパターン 1 4 を形成する。

【0 0 2 8】図 1 1 および図 1 2 を参照して、レジスト 1 2 をマスクとして絶縁層 9 をエッチングすることにより、導電層 4 に達する内径 0 . 6 μ m のスルーホール 7 を形成する。

【0 0 2 9】図 1 3 を参照して、スルーホール 7 を充填するプラグ 8 を形成し、プラグ 8 と絶縁層 9 とを覆うように厚さ 8 0 0 nm のドーフトポリシリコン 1 5 を C V D 法により形成する。ドーフトポリシリコン 1 5 上にレジスト 1 6 を塗布する。シリコン基板 1 に矢印 1 7 で示す波長 λ_1 の光を照射して導電層 4 で反射して回折した光を検出して、導電層 4 の位置が認識される。

【0 0 3 0】図 1 4 を参照して、認識された導電層 4 の位置のデータに基づいて、ステッパのフォトマスク 1 2 2 に対して、所定の位置となるようにシリコン基板 1 が位置決めされる。次に、フォトマスク 1 2 2 を介して矢印 1 2 1 で示す波長 λ_1 の光をレジスト 1 6 の照射領域 1 6 a に照射する。

【0 0 3 1】図 1 5 を参照して、レジスト 1 6 を現像することにより、レジストパターン 1 8 を形成する。

【0 0 3 2】図 4 および図 5 を参照して、レジストパターン 1 8 をマスクとして、ドーフトポリシリコン 1 5 をパターニングすることにより、配線 5、6 が形成される。最後に、レジストパターン 1 8 を除去して半導体装置が完成する。

【0 0 3 3】以上に示したアライメントマークを有する半導体装置においては、図 8 および図 1 3 で示すように、半導体素子を構成する導電層 4 がアライメントマークとして使用され、導電層 4 はチップ領域に形成される。したがって、重ね合せ精度を低下させないだけでなくアライメントマークを半導体素子と別に設ける場合に比べてチップ面積を小さくすることができる。

【0 0 3 4】(実施の形態 2) 実施の形態 2 では、実施の形態 1 の図 6 ~ 1 5 と同様の工程でアライメントマークを製造するが、検出光の波長 λ_1 等を限定する。

【0 0 3 5】図 1 6 は、露光される導電層を示す断面図である。図 1 6 を参照して、この発明によれば、図 8、9、1 3、1 4 で示す工程において、矢印 1 3 および 1 7 で示す検出用の光の波長 λ_1 と、矢印 1 2 で示す露光用の光の波長 λ_2 と、導電層 4 と検出用の光がなす角度

(アライメントマーク検出光の入射角) θ と、導電層 4 の間の距離 (アライメントマークのピッチ) A との間には、以下で示す関係が成り立つようにする。

* 【0036】
【数 3】

$$2\lambda_1 \leq A = \sqrt{\frac{n\lambda_0}{1 - \cos^2 \theta}} \quad (n: \text{自然数}) \quad \dots (1)$$

【0037】そのため、強い回折光を検出でき、アライメントマークがさらに検出しやすくなる。なお、好ましい一例として、 $\lambda_0 = 800 \text{ nm}$ 、 $\theta = 60^\circ$ 、 $\lambda_1 = 245 \text{ nm}$ とした場合、最適なピッチ (A) は、51

6.4 nm ($n=250$)、565.7 nm ($n=300$)、611.01 nm ($n=350$) となる。

【0038】(実施の形態 3) 図 17 は、この発明の実

施の形態 3 に従ったアライメントマークを示す平面図であり、(A) は、1 つの局面に従ったアライメントマークを示し、(B) は別の局面に従ったアライメントマークを示す。

【0039】(A) のアライメントマークでは、1 本の導電層 21 がシリコン基板上に延びている。図 17 の (A) の横方向に延びる部分がアライメントマークであるため、アライメントマークの端部が各々繋がった状態になっている。また、導電層 21 の端部は、コンタクトホール 7 を介して他の配線と接続される。

【0040】(B) においては、導電層 22 では、横方向に延びる孔 22a が形成されている。したがって、この孔 22a 間に挟まれた導電層 22 の部分がアライメントマークとして機能する。また、導電層 22 は、その両端部のスルーホール 7 により他の配線と接続される。

【0041】このように構成されたアライメントマークを有する半導体装置においては、まず、実施の形態 1 で示したアライメントマークを有する半導体装置と同様の効果が得られる。さらに、アライメントマークの各端部を接続して配線の形状を自由に変形することができる。

【0042】(実施の形態 4) 図 18 は、図 2 中のアライメントマーク 3、103 の別の局面に従ったものを示す平面図であり、図 19 は、図 18 中の X1X-X1X 線に沿って見た断面を示す図である。これらの図を参照して、シリコン基板 1 において、LOCOS 酸化膜 10 で囲まれた領域が活性領域 36 である。活性領域 36 には不純物領域 40 が形成されている。不純物領域 40 の間がチャネル領域であり、このチャネル領域上にゲート酸化膜 41 を介してアライメントマークとしてのゲート電極 32 が形成されている。ゲート電極 32 を覆うように絶縁層 42 が形成され、絶縁層 42 には不純物領域 40 に達するコンタクトホール 37 が形成されている。コンタクトホール 37 を充填するようにブラグ 38 が形成されている。

【0043】ゲート電極 32 は、図 18 中の横方向に延びるように、かつ、それぞれが一定の間隔を隔てるように形成されている。また、図示しないが、図 18 中の縦

方向に延びるゲート電極も形成されている。絶縁層 42 上にゲート電極 32 とほぼ平行に延びる配線 33 が形成されている。配線 33 に対してほぼ垂直方向に幅の広い配線 34 が延びている。配線 34 はブラグ 38 を介して不純物領域 40 と接続されている。配線 35 は 4 本のゲート電極 32 と接続され、かつ、ゲート電極 32 の延びる方向と平行に絶縁層 42 上を延びている。

【0044】次に、上述のようなアライメントマークを有する半導体装置の製造方法について説明する。図 20 ~ 図 28 は、図 18 および図 19 で示すアライメントマークを有する半導体装置の製造工程を示す図である。なお、図 21 は、図 20 の X1I-X1I 線に沿って見た断面を示す図、図 23 は、図 22 の X1I1I-X1I1I 線に沿って見た断面を示す図である。図 20 および 21 を参照して、シリコン基板 1 上に LOCOS 法により LOCOS 酸化膜 10 を形成する。LOCOS 酸化膜 10 により囲まれた領域が活性領域 36 となる。

【0045】図 22 および 23 を参照して、シリコン基板 1 上に厚さ 300 nm のシリコン酸化膜を形成する。このシリコン酸化膜上に厚さ 800 nm のドーフトポリシリコンを堆積する。ドーフトポリシリコン上にレジストを塗布し、このレジストを所定の形状にパターニングする。パターニングされたレジストをマスクとしてドーフトポリシリコンおよびシリコン酸化膜をエッチングすることにより、アライメントマークとしてのゲート電極 32 およびゲート酸化膜 41 を形成する。ゲート電極 32 をマスクとしてシリコン基板 1 に不純物イオンを注入することにより、不純物領域 40 を形成する。

【0046】図 24 を参照して、シリコン基板 1 上に厚さ 500 nm の SiO_2 からなる絶縁層 42 を堆積する。絶縁層 42 上にレジスト 43 を塗布する。シリコン基板 1 に矢印 45 で示す光を照射して、ゲート電極で反射して回折した光を検出することにより、アライメントマークとしてのゲート電極 32 の位置を認識する。認識されたゲート電極 32 の位置のデータに基づいて、ステッパのフォトマスク (図示せず) に対して、シリコン基板 1 が所定の位置関係となるように位置決めされた後、レジスト 43 が所定のパターンに従って露光される。

【0047】図 25 を参照して、露光されたレジスト 43 を現像することにより、コンタクトホールを形成するためのホールパターン 46 が形成される。

【0048】図 26 を参照して、ホールパターン 46 に従って絶縁層 42 をエッチングすることにより、不純物領域 40 に達する内径 0.5 μm のコンタクトホール 3

7を形成する。

【0049】図27を参照して、コンタクトホール37を充填するように、導電性のプラグ38を形成する。プラグ38と絶縁層42とに接するようにCVD法により厚さ800nmのドーフトポリシリコン48を堆積する。ドーフトポリシリコン48上にレジスト48を塗布する。シリコン基板1に矢印47で示す光を照射し、ゲート電極32で反射して回折した光を検出することにより、ゲート電極32の位置を認識する。認識されたゲート電極32の位置に基づき、フォトマスクに対して所定の位置となるようにシリコン基板1が位置決めされた後、レジスト49が所定のパターンに従って露光される。

【0050】図28を参照して、露光されたレジスト49を現像することにより、レジスト49にホールパターン50が形成される。

【0051】図19を参照して、レジスト49をマスクとしてホールパターン50に従ってドーフトポリシリコン48をエッチングして配線33、34、39を形成する。最後に、レジスト49を除去して図18および図19で示す半導体装置が完成する。

【0052】このようなアライメントマークを有する半導体装置においては、図27で示すように、半導体素子を構成するゲート電極32をアライメントマークとして使用し、このアライメントマークはチップ領域に形成されるため、重ね合せ精度が低下しないだけでなくアライメントマークを半導体素子と別に設けた場合に比べて、チップ面積が縮小し、半導体装置の微細化をさらに進めることができる。

【0053】（実施の形態5）図29は、1つの局面に従った図2中のアライメントマーク3、103の平面図であり、図30は、図29中のXXX-XXX線に沿って見た断面を示す図である。これらの図を参照して、シリコン基板1にLOCOS酸化膜10が形成されている。LOCOS酸化膜10で囲まれた領域に不純物領域52が形成されている。シリコン基板1を覆うように厚さ300nmのSiO₂からなる絶縁層53が形成されている。絶縁層53には不純物領域52に達するコンタクトホール54が縦方向と横方向に一定間隔に形成されている。コンタクトホール54を充填するように導電性のプラグ55が形成されている。プラグ55と絶縁層53とに接するように図29中の横方向に延びるようにアライメントマークとしてのストレージノード56が形成されている。また、図示しないが、図29中の縦方向に延びるアライメントマークとしてのストレージノードも形成されている。ストレージノード56を覆うように厚さ800nmのSiO₂からなる誘電体膜57が形成されている。誘電体膜57上にドーフトポリシリコンからなるセルプレート58が形成されている。ストレージノード56と、誘電体膜57と、セルプレート58とがキ

ャパシタを構成する。

【0054】キャパシタを覆うように厚さが約1000nmでSiO₂からなる絶縁層59が形成されている。絶縁層59には、セルプレート58に達するスルーホール60が形成されており、スルーホール60内には導電性のプラグ61が充填されている。絶縁層59とプラグ61と接するように配線62が形成されている。

【0055】次に、図29および30で示すアライメントマークを有する半導体装置の製造方法について説明する。図31～37は、図29および30で示すこの発明のアライメントマークを有する半導体装置の製造方法を示す図である。図31を参照して、シリコン基板1上に、LOCOS法により、LOCOS酸化膜10を形成する。次に、シリコン基板1全面に不純物イオンを注入することにより、シリコン基板1の表面に不純物領域52を形成する。シリコン基板1を覆うように厚さが300nmでSiO₂からなる絶縁層53を形成する。絶縁層53上にレジストを塗布し、このレジストを所定の形状にパターニングすることによりレジストパターンを形成する。レジストパターンに従って絶縁層53をエッチングすることによりコンタクトホール54を形成する。コンタクトホール54を埋込むプラグ55を形成した後、絶縁層53とプラグ55とに接するように厚さ5～10nmのドーフトポリシリコンを堆積する。このドーフトポリシリコン上にレジストを塗布し、このレジストを所定の形状にパターニングしてレジストパターンを形成する。レジストパターンをマスクとしてドーフトポリシリコンをエッチングすることにより、互いに距離を隔てて一方方向に延びるストレージノード56を形成する。

【0056】図32を参照して、ストレージノード56を覆うように厚さが5～10nmでSi₃N₄からなる誘電体膜63を堆積する。誘電体膜63上にドーフトポリシリコンからなる導電層64を堆積する。導電層64上にレジスト65を塗布する。シリコン基板1に矢印66で示す光を照射することにより、ストレージノード56で回折して強め合う光を検出する。これにより、ストレージノード56の位置が認識され、ステッパのフォトマスク（図示せず）に対して所定の位置となるようにシリコン基板1が位置決めされる。次に、ステッパによりレジスト65は所定のパターンに露光される。

【0057】図33を参照して、露光されたレジストを現像してレジストパターン67を形成する。

【0058】図34を参照して、レジストパターン67に従って導電層64および誘電体膜63をエッチングすることにより、誘電体膜57およびセルプレート58を形成する。これにより、キャパシタが完成する。キャパシタを覆うように厚さが1000nmでSiO₂からなる絶縁膜59を堆積する。絶縁膜59上にレジスト68を塗布する。シリコン基板1に矢印69で示す光を照射して回折により強め合う光を検出する。これにより、ス

トレージノード56の位置が認識され、この位置データに基づきステッパのフォトマスク（図示せず）に対して所定の位置となるようシリコン基板1が位置決めされる。次に、ステッパを用いてレジスト68が所定のパターンに露光される。

【0059】図35を参照して、露光されたレジスト68を現像することによりホールパターン70が形成される。

【0060】図36を参照して、ホールパターン70に従って絶縁層59をエッチングすることにより、スルーホール60が形成される。スルーホール60を充填するように導電性のプラグ61を形成し、さらに、プラグ61と絶縁層59とに接するように厚さが500nmでAlSiからなる導電層71を形成する。導電層71上にレジスト72を塗布する。シリコン基板1に矢印73で示す光を照射して、回折により強め合う光を検出してストレージノード56の位置を認識する。この位置データに基づき、ステッパのフォトマスク（図示せず）に対して所定の位置となるようにシリコン基板1が位置決めされ、レジスト72が所定のパターンに従って露光される。

【0061】図37を参照して、露光されたレジスト72を現像することにより、レジストパターン74が形成される。

【0062】図30を参照して、レジストパターン74に従って導電層71をエッチングすることにより、配線62が形成される。最後に、レジストパターン74を除去して図30で示すアライメントマークを有する半導体装置が完成する。

【0063】このような本発明のアライメントマークを有する半導体装置においては、図32、34および36で示すように、半導体素子を構成するストレージノード56をアライメントマークとして用いるため、また、アライメントマークはチップ領域に形成されるため、重ね合せ精度を低下させないだけでなくアライメントマークを半導体素子とは別に設けた場合に比べて、チップの面積が小さくなり半導体装置の微細化を図ることができる。

【0064】（実施の形態6）図38は、別の局面に従った図2中のアライメントマーク3、103の平面図である。図39は、図38のXXXXIX-XXXXIX線に沿って見た断面を示す図である。これらの図を参照して、シリコン基板1にはLOCOS酸化膜10が形成されている。LOCOS酸化膜10上にはアライメントマークとしてのマーク80部aと、配線部80bとにより構成される配線が形成される。マーク部80aの幅は、配線部80bの幅よりも広い。マーク部80aは、図38中の横方向に互いに間隔を隔てて延びるように形成される。また、図示しないが、図38中の縦方向に延びる配線も形成されている。配線を覆うように厚さが500

nmでSiO₂からなる絶縁層81が形成されている。

【0065】次に、図38および39で示すアライメントマークを有する半導体装置の製造方法について説明する。図40は、図38および39で示すアライメントマークを有する半導体装置の製造方法を示す図である。図40を参照して、シリコン基板1上にLOCOS法によりLOCOS酸化膜10を形成する。LOCOS酸化膜10上に厚さ100nmのドーフトポリシリコンを堆積し、このドーフトポリシリコンを所定の形状にパターニングすることにより、マーク部80aと配線部80bとを形成する。マーク部80aと配線部80bとを覆うように厚さが300nmでSiO₂からなる絶縁層81を形成する。絶縁層81上にドーフトポリシリコン82を形成し、ドーフトポリシリコン82上にレジスト83を塗布する。シリコン基板1に矢印84で示す光を照射することにより、マーク部80aで回折して強め合う光を検出して、マーク部80aの位置を認識する。認識されたマーク部80aの位置データをもとにステッパのフォトマスク（図示せず）に対して所定の位置となるようにシリコン基板1が位置決めされる。その後ステッパを用いてレジスト83を露光する。

【0066】このようなアライメントマークを有する半導体装置においては、半導体素子の一部である配線の一部をアライメントマークとして使用するため、また、アライメントマークはチップ領域に形成されるため、重ね合せ精度が低下しないだけでなくアライメントマークを半導体素子と別に設けた場合に比べて、チップの面積が小さくなり、半導体装置の集積化をさらに進めることができる。また、検出される部分の幅を太くしているため、容易に検出を行なうことができる。

【0067】（実施の形態7）図41は、さらに別の局面に従った図2中のアライメントマーク3、103の平面図であり、図42は、図41中のXXXXIX-XXXXIX線に沿って見た断面を示す図である。図41および図42を参照して、シリコン基板1にLOCOS酸化膜10が形成されている。LOCOS酸化膜10上に厚さ100nmのドーフトポリシリコンからなり、アライメントマークとしての導電層90aが図41中の横方向に延びるように互いに距離を隔てて形成されている。導電層90aを覆うように厚さが300nmでSiO₂からなる絶縁層91が形成されている。絶縁層91の上に厚さ100nmのドーフトポリシリコンからなり、互いに距離を隔てて導電層90aの真上に位置して延びる導電層90bが形成されている。導電層90bの幅W₂は、導電層90aの幅W₁よりも大きい。導電層90bを覆うように厚さが300nmでSiO₂からなる絶縁層92が形成されている。また、図示しないが、図41中の縦方向に延びる導電層も形成されている。

【0068】次に、図42で示すアライメントマークを有する半導体装置の製造方法について説明する。図43

～図 4 5 は、図 4 1 および 4 2 で示すアライメントマークを有する半導体装置の製造方法を示す図である。図 4 3 を参照して、シリコン基板 1 上に LOCOS 法により、LOCOS 酸化膜 1 0 を形成する。LOCOS 酸化膜 1 0 上に厚さ 1 0 0 n m のドーフトポリシリコンを堆積し、このドーフトポリシリコン上にレジスト塗布する。レジストを所定の形状にパターンニングしてレジストパターンを形成し、レジストパターンに従ってドーフトポリシリコンをエッチングする。これにより、互いに距離を隔てて一方向に延びる導電層 9 0 a を形成する。

【0 0 6 9】図 4 4 を参照して、導電層 9 0 a を覆うように絶縁層 9 1 を堆積し、絶縁層 9 1 の表面にドーフトポリシリコン 9 4 を形成する。ドーフトポリシリコン 9 4 を覆うようにレジスト 9 5 を塗布し、シリコン基板 1 に矢印 9 3 で示す光を照射することにより、導電層 9 0 a で回折して強め合う光を検出する。これにより、導電層 9 0 a の位置を認識して、この位置データに基づいてステッパのフォトマスク（図示せず）に対して所定の位置となるようにシリコン基板が位置決めされる。次に、レジスト 9 5 が所定の形状にパターンニングされ、レジストパターンとなり、このレジストパターンをマスクとしてドーフトポリシリコン 9 4 をエッチングすることにより、導電層 9 0 a の上に位置し、互いに距離を隔てて一方向に延びる導電層 9 0 b を形成する。

【0 0 7 0】図 4 5 を参照して、導電層 9 0 b を覆うように絶縁層 9 2 を堆積し、絶縁層 9 2 の表面にレジスト 9 6 を塗布する。シリコン基板 1 に矢印 9 7 で示す光を照射して導電層 9 0 b で回折して強め合った光を認識することにより、導電層 9 0 b の位置を認識する。この位置データに基づき、ステッパのフォトマスク（図示せず）に対して所定の位置となるようにシリコン基板 1 を位置決めする。その後、レジスト 9 6 を露光することにより、所定のレジストパターンを形成できる。

【0 0 7 1】このようなアライメントマークを有する半導体装置においては、図 4 4 および 4 5 で示すように、半導体素子の一部である導電層 9 0 a、9 0 b をアライメントマークとして使用するため、また、アライメントマークはチップ領域に形成されるため、アライメントマークを半導体素子と別に設けた場合に比べてチップ領域の面積が小さくなり、半導体装置のさらなる微細化を図ることができるだけでなく、重ね合せ精度が低下しない。また、下部に位置するアライメントマークとしての導電層 9 0 a の幅は、上部に位置するアライメントマークとしての導電層 9 0 b の幅よりも小さいため、導電層 9 0 b を光学顕微鏡などで認識する際に間違えて導電層 9 0 a を見てしまうことがない。さらに、導電層 9 0 b に光を照射する際には、導電層 9 0 b に遮られて導電層 9 0 a まで光が達しにくいいため、導電層 9 0 a で回折した光を認識することがない。そのため、アライメントマーク 9 0 b を確実に認識することができる。

【0 0 7 2】以上、この発明の実施の形態について説明したが、ここで示した実施の形態はさまざまに変形可能である。まず、上述の（1）で示す式は、実施の形態 2 だけでなく、実施の形態 3～7 についても適用可能である。すなわち、実施の形態 3～7 についても、上述の

（1）で示す式のような関係を成立させれば、さらに精度よくアライメントマークを検出することができる。また、それぞれの実施の形態で用いた絶縁層や導電層の材料や膜厚は必要に応じて適宜変更することができる。

【0 0 7 3】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 0 7 4】

【発明の効果】この発明の 1 つの局面に従ったアライメントマークを有する半導体装置は、半導体装置製造過程でのフォトリソグラフィ工程において、マスクと重ね合せ位置を認識し、決定するためのアライメントマークを有し、半導体基板と、複数の導電層部分とを備える。複数の導電層部分は半導体基板の上に一定の距離を隔てて互いに平行に並んで延びる。導電層部分は複数個のアライメントマークを含む。

【0 0 7 5】このように構成されたこの発明のアライメントマークを有する半導体装置においては、重ね合せ精度が高くかつチップ領域の面積が拡大しないアライメントマークを有する半導体装置を提供することができる。

【0 0 7 6】また、導電層部分は、相対的に幅の広い第 1 部分と、相対的に幅の狭い第 2 部分とを含むことが好ましい。この場合、第 1 部分と第 2 部分との幅が異なるため、第 1 部分または第 2 部分のいずれかをアライメントマークとすることにより、アライメントマークを検出しやすくなる。

【0 0 7 7】また、複数の導電層部分の端部は互いに接続されていることが望ましい。この場合、さまざまな形状のアライメントマークを提供することができる。

【0 0 7 8】この発明の別の局面に従った半導体装置は、半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有し、半導体基板と、キャパシタとを備える。キャパシタは、半導体基板の上に形成され、複数の下部電極層と、その下部電極層上に形成された誘電体層と、その誘電体層の上に形成された上部電極層とを含む。下部電極層は複数のアライメントマークを有する。

【0 0 7 9】このように構成されたアライメントマークを有する半導体装置においては、重ね合せ精度が高く、かつチップ領域の面積が拡大しない半導体装置を提供することができる。

【0080】この発明の別の局面に従った半導体装置は、半導体装置製造過程でのフォトリソグラフィ工程において、マスクとの重ね合せ位置を認識し、決定するためのアライメントマークを有し、半導体基板と、複数の下部導電層部分と、複数の上部導電層部分とを備える。複数の下部導電層部分は、半導体基板の上に一定の距離を隔てて互いに平行に並んで延びる。複数の上部導電層部分は、下部導電層部分の上に一定の距離を隔てて互いに平行に並んで延びるように形成される。上部導電層部分と下部導電層部分は複数のアライメントマークを含む。

【0081】このように構成されたアライメントマークを有する半導体装置においては、重ね合せ精度が高く、かつ、チップ領域の面積が拡大しないアライメントマークを有する半導体装置を提供することができる。

【0082】また、上部導電層部分の幅は、下部導電層の幅よりも広いことが好ましい。この場合、上部導電層部分の位置を検出するために上部導電層に光を照射してもこの光が下部導電層まで達しないため、下部導電層からの反射光を検出することがない。その結果、上部導電層の位置を正しく認識することができる。また、アライメントマーク検出光の波長 λ_1 と、その入射角 θ と、フォトリソグラフィ工程で用いる露光光の波長 λ_2 と、複数のアライメントマークのピッチAとの間には(1)で示す関係が成り立つことが好ましい。この場合、アライメントマークの位置をさらに正しく認識することができる。

【図面の簡単な説明】

【図1】この発明によるアライメントマークを有する半導体装置が形成されるシリコン基板を示す図である。

【図2】図1中のショット領域を示す平面図である。

【図3】この発明に従った1つのアライメントマークを示す平面図である。

【図4】図3中のI-V-I線に沿って見た断面を示す図である。

【図5】図3中のV-V線に沿って見た断面を示す図である。

【図6】図3で示すアライメントマークを有する半導体装置の製造方法の第1工程を示す図である。

【図7】図6中のV-I-I線に沿って見た断面を示す図である。

【図8】図3で示すアライメントマークを有する半導体装置の製造方法の第2工程を示す断面図である。

【図9】図3で示すアライメントマークを有する半導体装置の製造方法の第3工程を示す断面図である。

【図10】図3で示すアライメントマークを有する半導体装置の製造方法の第4工程を示す断面図である。

【図11】図3で示すアライメントマークを有する半導体装置の製造方法の第5工程を示す平面図である。

【図12】図11中のX-I-I線に沿って見た

断面を示す図である。

【図13】図3で示すアライメントマークを有する半導体装置の製造方法の第6工程を示す断面図である。

【図14】図3で示すアライメントマークを有する半導体装置の製造方法の第7工程を示す断面図である。

【図15】図3で示すアライメントマークを有する半導体装置の製造方法の第8工程を示す断面図である。

【図16】検出用の光と露光用の光が照射されるアライメントマークを示す断面図である。

【図17】この発明の実施の形態3に従ったアライメントマークとしての導電層を示す平面図であり、(A)は、1つの局面に従った導電層を示す平面図であり、(B)は、別の形態に従った導電層を示す平面図である。

【図18】この発明の実施の形態4に従ったアライメントマークを有する半導体装置を示す平面図である。

【図19】図18中のX-I-X線に沿って見た断面を示す図である。

【図20】図18で示すアライメントマークを有する半導体装置の製造方法の第1工程を示す平面図である。

【図21】図20中のX-I-X線に沿って見た断面を示す図である。

【図22】図18で示すアライメントマークを有する半導体装置の製造方法の第2工程を示す平面図である。

【図23】図22中のX-I-I-I線に沿って見た断面を示す図である。

【図24】図18で示すアライメントマークを有する半導体装置の製造方法の第3工程を示す断面図である。

【図25】図18で示すアライメントマークを有する半導体装置の製造方法の第4工程を示す断面図である。

【図26】図18で示すアライメントマークを有する半導体装置の製造方法の第5工程を示す断面図である。

【図27】図18で示すアライメントマークを有する半導体装置の製造方法の第6工程を示す断面図である。

【図28】図18で示すアライメントマークを有する半導体装置の製造方法の第7工程を示す断面図である。

【図29】この発明の実施の形態5に従ったアライメントマークを有する半導体装置を示す平面図である。

【図30】図29中のX-X-X線に沿って見た断面を示す図である。

【図31】図29で示すアライメントマークを有する半導体装置の製造方法の第1工程を示す断面図である。

【図32】図29で示すアライメントマークを有する半導体装置の製造方法の第2工程を示す断面図である。

【図33】図29で示すアライメントマークを有する半導体装置の製造方法の第3工程を示す断面図である。

【図34】図29で示すアライメントマークを有する半導体装置の製造方法の第4工程を示す断面図である。

【図35】図29で示すアライメントマークを有する半導体装置の製造方法の第5工程を示す断面図である。

【図 3 6】 図 2 9 で示すアライメントマークを有する半導体装置の製造方法の第 6 工程を示す断面図である。

【図 3 7】 図 2 9 で示すアライメントマークを有する半導体装置の製造方法の第 7 工程を示す断面図である。

【図 3 8】 この発明の実施の形態 6 に従ったアライメントマークを有する半導体装置を示す平面図である。

【図 3 9】 図 3 8 中の XXX I X - XXX I X 線に沿って見た断面を示す図である。

【図 4 0】 図 3 8 で示すアライメントマークを有する半導体装置の製造工程を示す断面図である。

【図 4 1】 この発明の実施の形態 7 に従ったアライメントマークを有する半導体装置を示す平面図である。

【図 4 2】 図 4 1 中の XXXX I I - XXXX I I 線沿って見た断面を示す図である。

【図 4 3】 図 4 1 で示すアライメントマークを有する

半導体装置の製造方法の第 1 工程を示す断面図である。

【図 4 4】 図 4 1 で示すアライメントマークを有する半導体装置の製造方法の第 2 工程を示す断面図である。

【図 4 5】 図 4 1 で示すアライメントマークを有する半導体装置の製造方法の第 3 工程を示す断面図である。

【図 4 6】 従来のシリコン基板を示す平面図である。

【図 4 7】 従来のショット領域を示す平面図である。

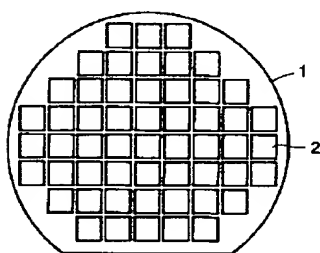
【図 4 8】 従来のアライメントマークを示す平面図である。

10 【図 4 9】 従来のアライメントマークを示す断面図である。

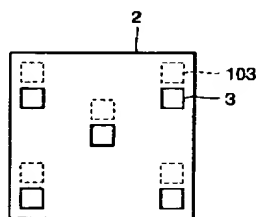
【符号の説明】

1 シリコン基板、4 ゲート電極、5, 6 配線、2 1, 2 3, 9 0 a, 9 0 b 導電層、5 6 下部電極層、8 0 a マーク部。

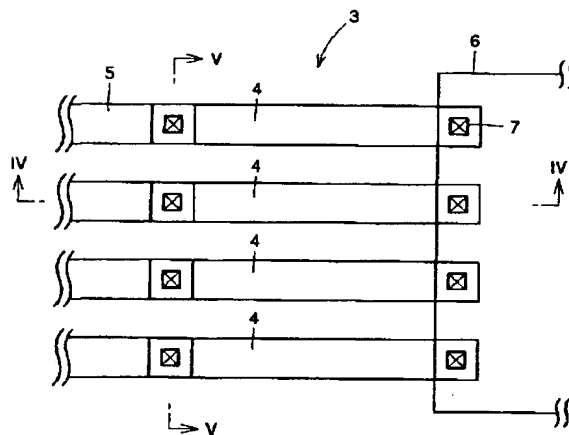
【図 1】



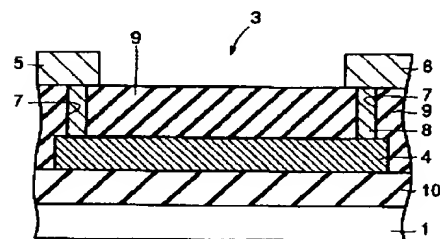
【図 2】



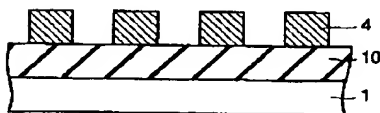
【図 3】



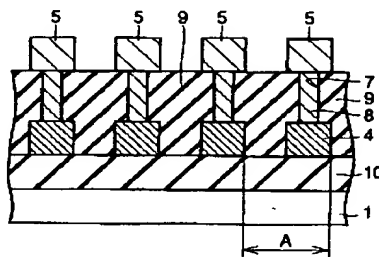
【図 4】



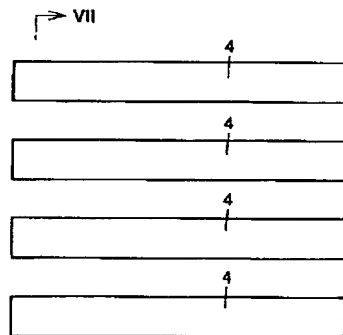
【図 7】



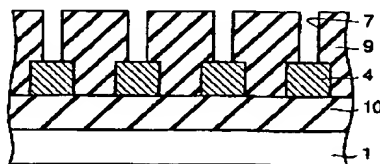
【図 5】



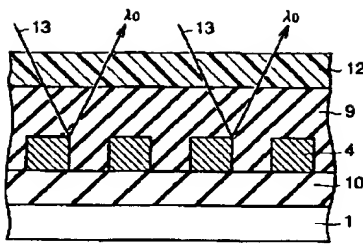
【図 6】



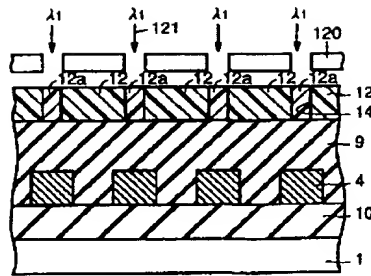
【図 1 2】



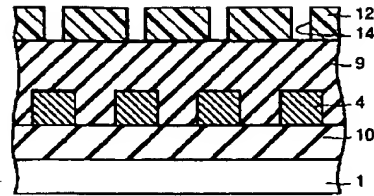
【図 8】



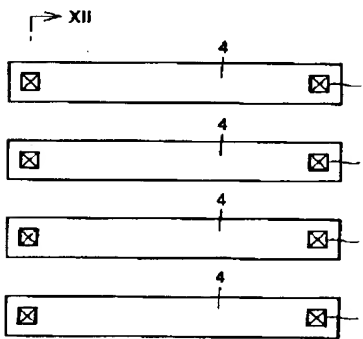
【図 9】



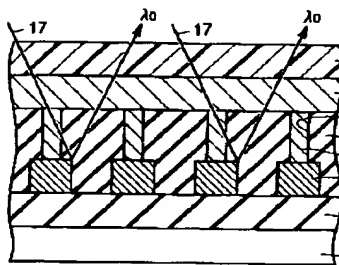
【図 10】



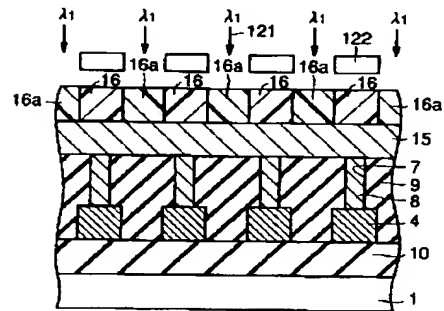
【図 11】



【図 13】

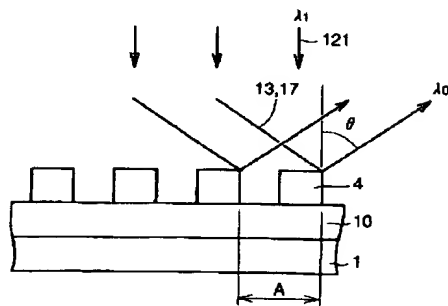


【図 14】

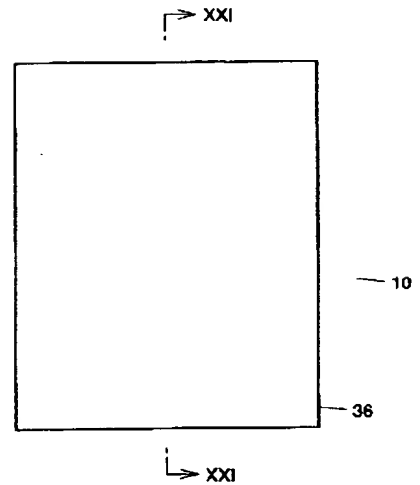


→ XII

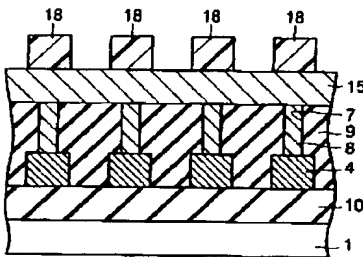
【図 16】



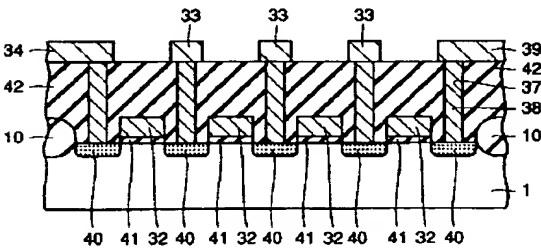
【図 20】



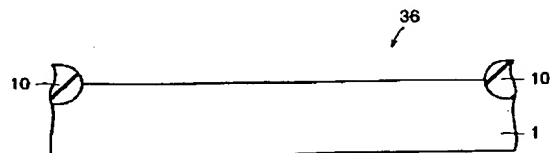
【図 15】



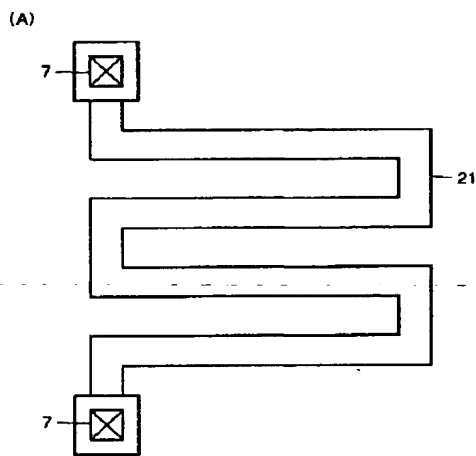
【図 19】



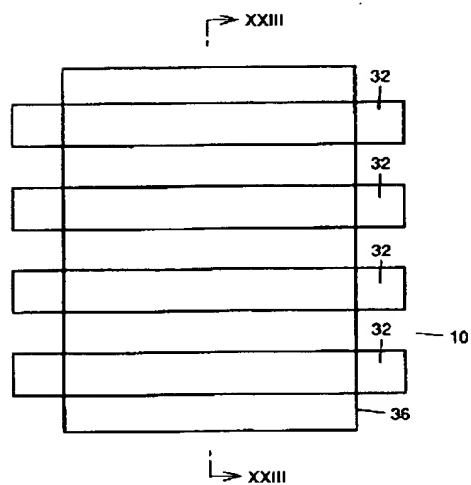
【図 21】



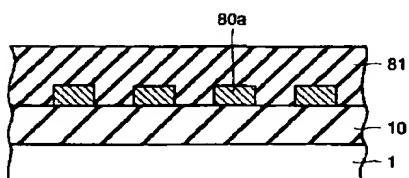
【図 1 7】



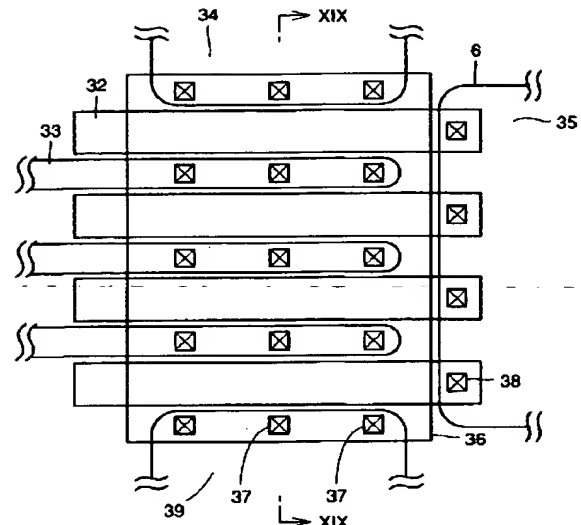
【図 2 2】



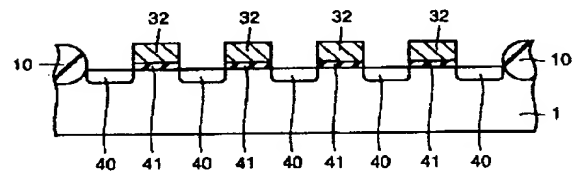
【図 3 9】



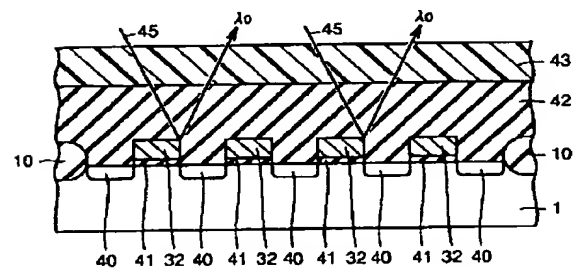
【図 1 8】



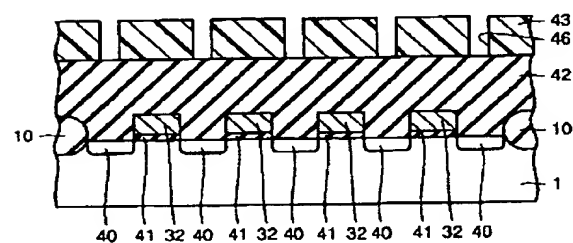
【図 2 3】



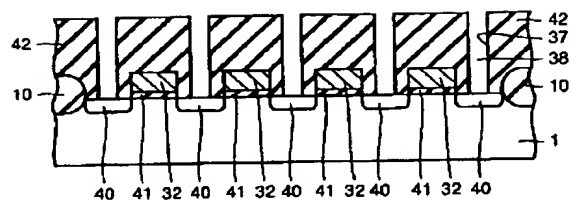
【図 2 4】



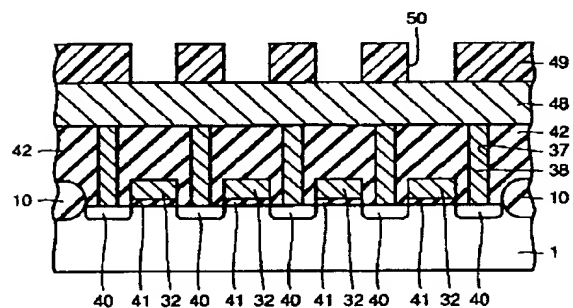
【図 2 5】



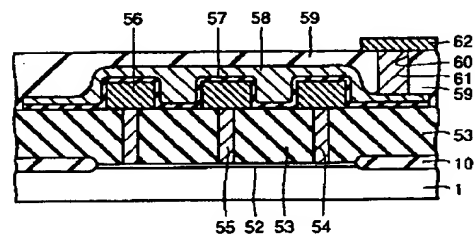
【図 2 6】



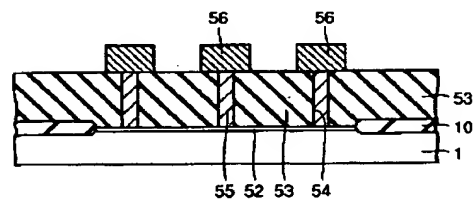
【図 2 8】



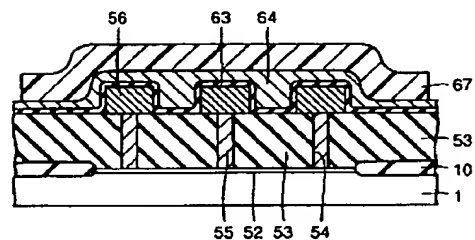
【図 3 0】



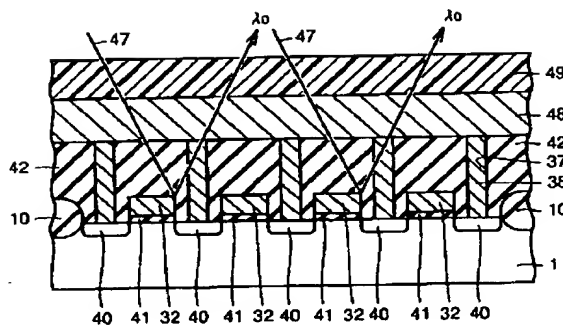
【図 3 1】



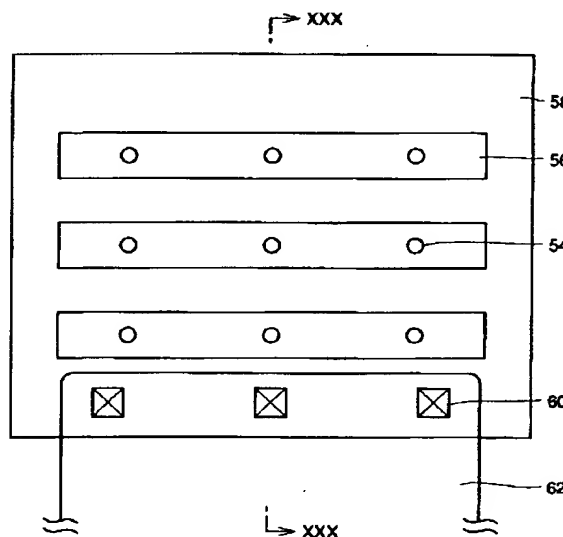
【図 3 3】



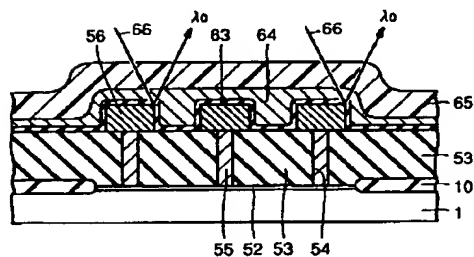
【図 2 7】



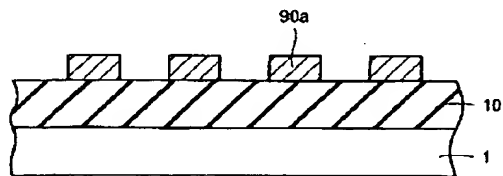
【図 2 9】



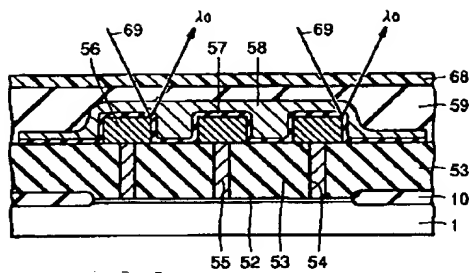
【図 3 2】



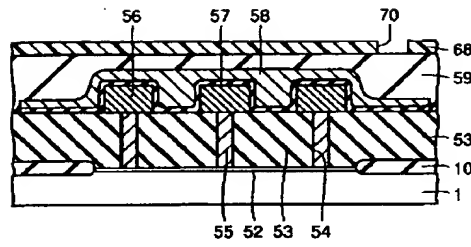
【図 4 3】



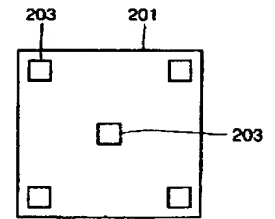
【図 3 4】



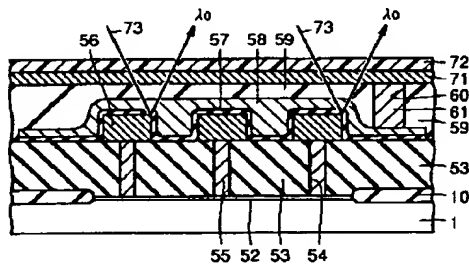
【図 3 5】



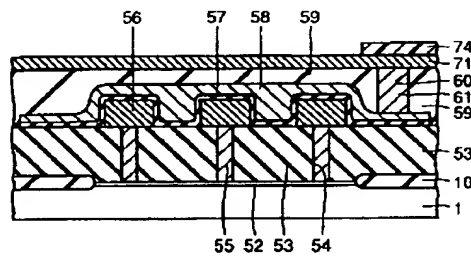
【図 4 7】



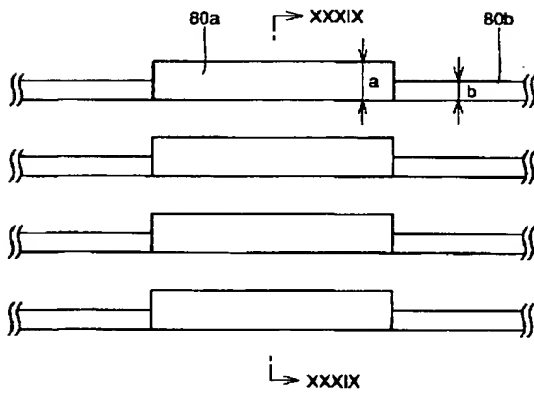
【図 3 6】



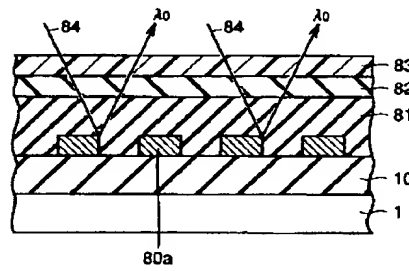
【図 3 7】



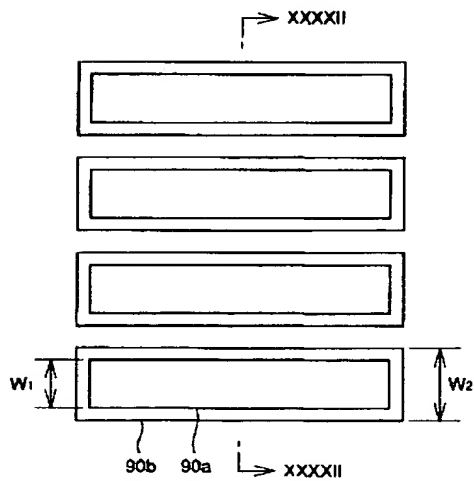
【図 3 8】



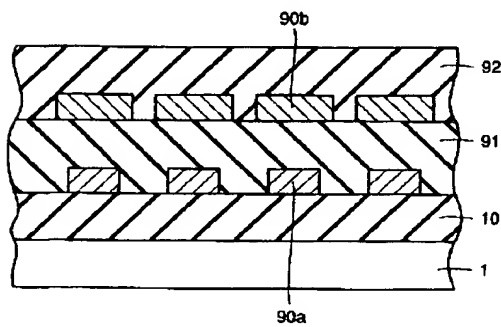
【図 4 0】



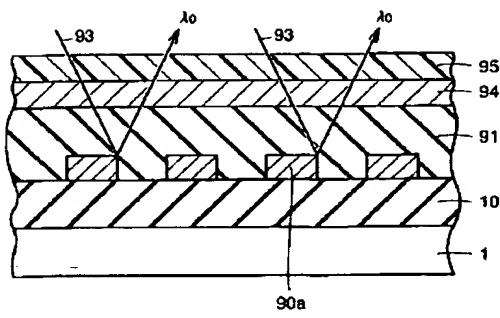
【図 4 1】



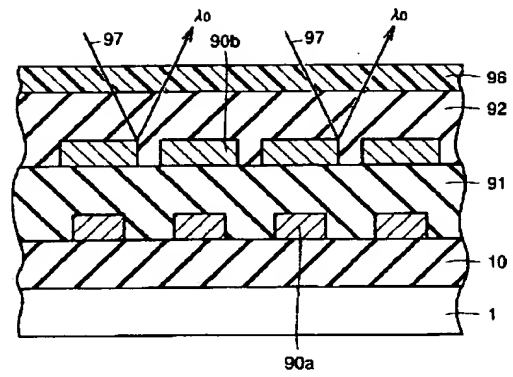
【図 4 2】



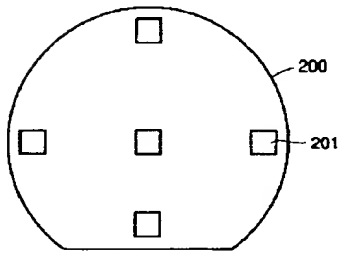
【図 4 4】



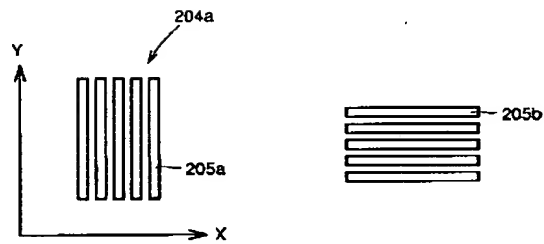
【図 4 5】



【図 4 6】



【図 4 8】



【図 4 9】

